

11.11.2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

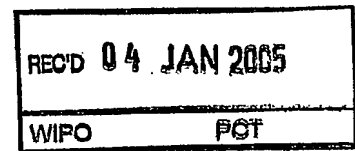
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 1 1 月 1 1 日

出 願 番 号
Application Number: 特 願 2 0 0 3 - 3 8 1 8 4 5
[ST. 10/C]: [J P 2 0 0 3 - 3 8 1 8 4 5]

出 願 人
Applicant(s): 松下電器産業株式会社

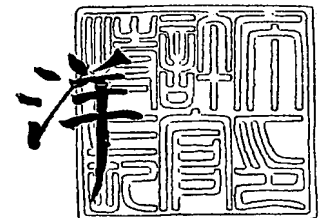


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 1 2 月 1 6 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



BEST AVAILABLE COPY

【書類名】 特許願
【整理番号】 2037650016
【提出日】 平成15年11月11日
【あて先】 特許庁長官殿
【国際特許分類】 G11B 5/09
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 岡本 好史
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 中平 博幸
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100081813
 【弁理士】
 【氏名又は名称】 早瀬 憲一
 【電話番号】 06(6395)3251
【手数料の表示】
 【予納台帳番号】 013527
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9600402

【書類名】特許請求の範囲**【請求項 1】**

入力信号に対して等化係数に応じたフィルタ処理を行う F I R フィルタと、
上記 F I R フィルタの出力を用いて上記入力信号と同期したクロックを抽出する P L L
と、
上記 F I R フィルタの等化性能を検出する等化性能検出手段と、
上記等化性能検出手段の出力値に応じて上記 F I R フィルタの等化係数を決定する等化
係数決定手段とを備えた、
ことを特徴とするフィルタ係数調整回路。

【請求項 2】

請求項 1 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記 P L L がロック状態になる前は、上記 F I R フィルタの
等化係数として予め設定されている初期値を出力する、
ことを特徴とするフィルタ係数調整回路。

【請求項 3】

請求項 1 または請求項 2 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記 F I R フィルタのタップ数が奇数であり、上記 F I R フ
ィルタのセンタータップより左側の上記等化係数の初期値を a 倍 (a は 0 以上 2 以下の実
数) に、右側の上記等化係数の初期値を $(2 - a)$ 倍に重み付けして出力する、
ことを特徴とするフィルタ係数調整回路。

【請求項 4】

請求項 1 または請求項 2 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記 F I R フィルタのタップ数が偶数であり、上記 F I R フ
ィルタの遅延線の中央より左側の上記等化係数の初期値を a 倍 (a は 0 以上 2 以下の実数
)、右側の上記等化係数の初期値を $(2 - a)$ 倍に重み付けして出力する、
ことを特徴とするフィルタ係数調整回路。

【請求項 5】

請求項 3 に記載のフィルタ係数調整回路において、
上記重み付け a の値は、上記 F I R フィルタのセンタータップからの距離が等しい 2 つ
のタップよりなる各ペアで独立に設定する、
ことを特徴とするフィルタ係数調整回路。

【請求項 6】

請求項 4 に記載のフィルタ係数調整回路において、
上記重み付け a の値は、上記 F I R フィルタの遅延線の中央からの距離が等しい 2 つの
タップよりなる各ペアで独立に設定する、
ことを特徴とするフィルタ係数調整回路。

【請求項 7】

請求項 3 ないし請求項 6 のいずれか 1 項に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記等化性能検出手段の出力値の最適値を検出し、該等化性
能検出手段の出力値が最適となる上記重み付け a の値を決定する、
ことを特徴とするフィルタ係数調整回路。

【請求項 8】

請求項 7 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、可変の時間間隔で上記等化性能検出手段の出力を取り込む、
ことを特徴とするフィルタ係数調整回路。

【請求項 9】

請求項 8 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記重み付け a の値の上限値、下限値、及び設定間隔をそれ
ぞれ独立に設定する、
ことを特徴とするフィルタ係数調整回路。

【請求項 1 0】

請求項 9 に記載のフィルタ係数調整回路において、
上記等化係数決定手段は、上記入力信号の特性に応じた動作設定用制御信号に基づいて
上記等化性能検出手段の出力値が最適となる上記重み付け a の値を検出する動作を設定する、
ことを特徴とするフィルタ係数調整回路。

【書類名】 明細書

【発明の名称】 フィルタ係数調整回路

【技術分野】

【0001】

FIR (Finite Impulse Response) フィルタを用いた光ディスクなどの記録媒体からデータを再生する記録情報再生装置に関し、特に再生信号の群遅延歪みを FIR フィルタにより補正するフィルタ係数調整回路に関する。

【背景技術】

【0002】

図 9 に、DVD を例にとった一般的な記録情報再生装置を示す。図 9 において、111 は記録媒体、112 は AGC (Automatic Gain Control) 回路、113a はアナログ等化フィルタ、114 はオフセット調整回路、115 は A/D 変換器、116 は適応型 FIR フィルタ、117 はビタビ復号器、118 は PLL (Phase Locked Loop) 回路である。

【0003】

この装置の各部における機能を簡単に説明する。

AGC 回路 112 とオフセット調整回路 114 では、再生信号の特性が、A/D 変換器 115 の入力範囲に収まるように、再生信号の振幅・オフセットを調整する。アナログ等化フィルタ 113a は、再生信号のノイズ除去、および再生信号の特性が後段のビタビ復号器が有する特性とマッチするように波形等化处理（主にブースト処理）を行う。

【0004】

次に、A/D 変換器 115 によって量子化された再生データは、適応型 FIR フィルタ 116 に入力され、残留等化誤差の補正処理が施される。この適応型 FIR フィルタ 116 には、LMS (Least Mean Square) などの適応等化アルゴリズムが用いられており、タップ係数が最適となるように自動調整処理が行われる。

【0005】

アナログ等化フィルタ 113a と FIR フィルタ 116 によって波形等化处理が施された再生信号は、ビタビ復号器 117 へ入力され、記録媒体 111 に記録されていたデジタルデータの検出処理が行われる。このデータと同期したクロックは、A/D 変換器 115 や適応型 FIR フィルタ 116 の出力を用いて、PLL 回路 118 によって抽出される。

【0006】

さらに、このような記録情報再生装置において、省面積化を図るため、アナログ機能をデジタル化する手法が挙げられる。具体的には、図 10 に示すように、図 9 におけるアナログ等化フィルタ 113a のノイズ除去機能と波形等化处理機能とを分割し、ノイズ除去機能のみをアナログローパスフィルタ 113b に持たせ、波形等化处理機能（具体的にはブースト処理機能）を A/D 変換器 115 の次段に接続されるデジタル等化フィルタ 113c にて実現する。このようなアナログ機能のデジタル化は、アナログ面積の大幅な削減が実現でき、ひいてはシステムの面積削減に大きく寄与することとなる。

【0007】

図 10 に示すような記録情報再生装置では、波形等化处理としてブースト処理のほかに、再生信号の群遅延特性を補正する機能もデジタル領域で実現したほうが、よりアナログ面積の削減を図ることができる。群遅延の補正処理は、データと同期したクロックを抽出するための PLL 回路 118 が再生信号を用いて動作するため、PLL 回路 118 の入力で、再生信号の群遅延特性がフラットとなる方が、PLL 回路 118 のジッタ性能を抑制できるので、必要な機能である。

【0008】

このようなシステムにおいて、従来の群遅延調整方法としては、等化した再生信号の振幅レベルと理想値との差からフィルタの係数を補正する手法があった（例えば、特許文献 1 参照）。

【特許文献 1】 特開平 11-191202 号公報

【発明の開示】

【発明が解決しようとする課題】**【0009】**

しかしながら、図10に示す記録情報再生装置では、PLL回路118の入力端において再生信号の群遅延特性が平坦になるように、デジタル等化フィルタ113cの出力とそれに対応する期待値との差分を用いてデジタル等化フィルタ113cのタップ係数に非対称な値を設定する構成をとっているため、以下に挙げるような問題点があった。

【0010】

1点目は、デジタルフィルタ113cの出力と理想値との誤差を用いて逐次的にデジタルフィルタ113cのタップ係数を変化させるループ構成をとろうとすると、このループとクロック抽出用のPLLが2重ループ動作を行う必要があり、制御が複雑となる。さらには、入力した再生信号が群遅延以外の非理想的な要素（例えば、歪や再生ジッタなど）の影響を受けることにより、デジタルフィルタ113cの出力と理想値との間に群遅延以外の影響による誤差発生し、PLL回路118のジッタ特性が悪くなるという可能性がある。

【0011】

2点目は、デジタルフィルタ113cのタップ係数を非対称に制御させる場合、センタータップに対して右と左で完全に独立に制御させたらデジタルフィルタのゲイン特性も大幅に変化してしまうため、ゲイン特性を補正するための機能が別途必要になる。

【0012】

本発明は、上記問題点を解決するためになされたものであり、クロック抽出用のPLLの入力で再生信号の群遅延特性が最適となるフィルタ係数調整回路を提供することを目的とする。

【課題を解決するための手段】**【0013】**

上記課題を解決するために、本発明の請求項1にかかるフィルタ係数調整回路は、入力信号に対して等化係数に応じたフィルタ処理を行うFIRフィルタと、上記FIRフィルタの出力を用いて上記入力信号と同期したクロックを抽出するPLLと、上記FIRフィルタの等化性能を検出する等化性能検出手段と、上記等化性能検出手段の出力値に応じて上記FIRフィルタの上記等化係数を決定する等化係数決定手段とを備えたことを特徴とする。

【0014】

これにより、回路内の制御を簡易化し、かつ、付加回路を設けることなく入力信号の特性に応じて該入力信号の群遅延の最適化を図ることができ、その結果、再生性能を向上させることができる。

【0015】

また、本発明の請求項2にかかるフィルタ係数調整回路は、請求項1に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記PLLがロック状態になる前は、上記FIRフィルタの等化係数として予め設定されている初期値を出力することを特徴とする。

【0016】

これにより、PLLがロックした後にジッタ値が定常となるため、等化係数の最適値探索をスムーズに行うことができる。

【0017】

また、本発明の請求項3にかかるフィルタ係数調整回路は、請求項1または請求項2に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記FIRフィルタのタップ数が奇数であり、上記FIRフィルタのセンタータップより左側の上記等化係数の初期値をa倍（aは0以上2以下の実数）に、右側の上記等化係数の初期値を（2-a）倍に重み付けして出力することを特徴とするものである。

【0018】

これにより、FIRフィルタのゲイン特定をほとんど変化させることなく等化係数を更

新することができ、その結果、従来のようにゲイン調整回路を設ける必要がない。

【0019】

また、本発明の請求項4にかかるフィルタ係数調整回路は、請求項1または請求項2に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記FIRフィルタのタップ数が偶数であり、上記FIRフィルタの遅延線の中央より左側の上記等化係数の初期値を a 倍（ a は0以上2以下の実数）に、右側の上記等化係数の初期値を $(2-a)$ 倍に重み付けして出力することを特徴とするものである。

【0020】

これにより、FIRフィルタのゲイン特性をほとんど変化させることなく等化係数を更新することができ、その結果、従来のようにゲイン調整回路を設ける必要がない。

【0021】

また、本発明の請求項5にかかるフィルタ係数調整回路は、請求項3に記載のフィルタ係数調整回路において、上記重み付け a の値は、上記FIRフィルタのセンタータップからの距離が等しい2つのタップよりなる各ペアで独立に設定することを特徴とするものである。

これにより、群遅延を細かく調整することができる。

【0022】

また、本発明の請求項6にかかるフィルタ係数調整回路は、請求項4に記載のフィルタ係数調整回路において、上記重み付け a の値は、上記FIRフィルタの遅延線の中央からの距離が等しい2つのタップよりなる各ペアで独立に設定することを特徴とする。

これにより、群遅延を細かく調整することができる。

【0023】

また、本発明の請求項7にかかるフィルタ係数調整回路は、請求項3ないし請求項6のいずれか1項に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記等化性能検出手段の出力値の最適値を検出し、該等化性能検出手段の出力値が最適となる上記重み付け a の値を決定することを特徴とするものである。

これにより、簡単に等化係数を決定することができる。

【0024】

また、本発明の請求項8にかかるフィルタ係数調整回路は、請求項7に記載のフィルタ係数調整回路において、上記等化係数決定手段は、可変の時間間隔で上記等化性能検出手段の出力を取り込むことを特徴とする。

これにより、より正確に等化係数の調整を行うことができる。

【0025】

また、本発明の請求項9にかかるフィルタ係数調整回路は、請求項8に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記重み付け a の値の上限値、下限値、及び設定間隔をそれぞれ独立に設定することを特徴とする。

これにより、非対称率を細かく設定することができる。

【0026】

また、本発明の請求項10にかかるフィルタ係数調整回路は、請求項9に記載のフィルタ係数調整回路において、上記等化係数決定手段は、上記入力信号の特性に応じた動作設定用制御信号に基づいて上記等化性能検出手段の出力値が最適となる上記重み付け a の値を検出する動作を設定することを特徴とする。

【0027】

これにより、例えば、入力信号中から欠陥を検出する信号や、入力信号のデータフォーマットに依存したゲート信号を用いて動作設定を行うことができる。

【発明の効果】

【0028】

本発明にかかるフィルタ係数調整回路によれば、従来の群遅延補正回路と比較して、制御手法を簡易化することができ、かつ付加回路も必要とせず、再生信号の特性に応じて再生信号の群遅延の最適化を図ることができ、再生性能の向上を図ることが可能である。

【発明を実施するための最良の形態】

【0029】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、ここで示す実施の形態はあくまでも一例であって、必ずしもこの実施の形態に限定されるものではない。

【0030】

(実施の形態1)

以下に、本発明の実施の形態1にかかるフィルタ係数調整回路について説明する。

【0031】

図1(a)は、本実施の形態1によるフィルタ係数調整回路の構成を示すものである。

図1(a)に示すフィルタ係数調整回路は、入力信号を等化係数を用いてフィルタ処理するFIRフィルタ1と、上記FIRフィルタ1の出力をもとに上記入力信号と同期したクロックを抽出するPLL3と、上記PLL3のロック状態を検出するロック検出器4と、上記ロック検出器4にて上記PLL3がロック状態にあることを検出したとき、上記PLL3がクロック抽出の際に検出する位相誤差に基づいて入力信号と該入力信号の同期クロックとの間のジッタ値(等化性能)を検出するジッタ検出器5と、上記ジッタ検出器5の出力値に応じて上記FIRフィルタ1の等化係数を調整する係数調整回路2とを備えたものである。

【0032】

上記FIRフィルタ1は、図2に示すように、入力信号を1クロック分ずつ遅延させる遅延素子21~29と、該遅延素子21~29の各出力と上記係数調整回路2から出力される各等化係数101~109との積を算出する乗算器31~39と、該乗算器31~39の出力の総和を算出する加算器40とを備えたものである。なお、本実施の形態では説明の容易化のため、FIRフィルタ1のタップ数を $N=9$ とする。

【0033】

上記フィルタ係数調整回路2は、図3に示すように、等化係数の初期値を保持する遅延素子11~19と、上記FIRフィルタ1の等化係数の非対称率を決定する非対称率決定回路201と、該非対称率決定回路201にて決定された非対称率と予め設定されている等化係数の初期値とを乗算することにより、新たな等化係数系列を生成する乗算部202とを備えたものである。なお、上記乗算部202の出力101~109は、FIRフィルタ1の等化係数である。また、等化係数の初期値11~19は、FIRフィルタ1のセンタタップに対し、左右対称に設定されているものとする。

【0034】

次に、動作について説明する。

入力された再生信号は、FIRフィルタ1にて等化され、データ検出部(図示しない)とPLL3に出力される。PLL3では、上記FIRフィルタ1の出力(等化信号)から上記再生信号の同期クロックを抽出する。このとき、ロック検出器4では、PLL3がロック状態であるか否かを監視し、ロック状態であることを検出したときは、係数調整回路2及びジッタ検出器5にその旨を通知する。

【0035】

ジッタ検出器5では、PLL3がクロック抽出の際に検出する位相誤差を、ある一定個数積算して平均化し、再生信号と抽出したクロックとの間のジッタ値を算出する。この演算過程を図1(b)に示す。図中では、位相誤差の積算数を32としている。一般的な位相誤差は、再生信号のゼロクロスポイントをもとに算出されるため、32のゼロクロスポイントが検出されるごとにジッタ値は更新される。また、このジッタ値の更新タイミングを示すジッタ値更新タイミング信号を生成する。

【0036】

係数調整回路2では、上記ジッタ検出器4から出力されるジッタ値を、上記ジッタ更新タイミング信号に基づいて取り込み、その値が最小となるよう上記FIRフィルタ1の等化係数を調整する。

【0037】

ここで、係数調整回路2による等化係数調整方法について説明する。

まず、非対称率決定回路201にて上記ジッタ検出器5から出力されるジッタ値を上記ジッタ値更新タイミングで取り込み、ジッタ値が最小となるようにFIRフィルタ1の等化係数の非対称率を決定する。この非対称率は、上記FIRフィルタ1のタップ中央に対し、右半面の係数と左半面の係数の比が $a : (2 - a)$ であらわせるものとする(a は0以上2以下の実数であるとする)。乗算部202では、上記決定された非対称率に基づいて、遅延素子11~19に保持されている等化係数系列の初期値のうち、左半面の遅延素子11~14に保持されている初期値を a 倍、右半面の遅延素子16~19に保持されている初期値を $(2 - a)$ 倍する。図4に a の値を変化させたときのFIRフィルタ1のゲイン特性を示す。また、このときのFIRフィルタ1の群遅延特性を図5に示す。これらの図から分かるように、 a の値を変化させることでゲイン特性をほとんど変化させることなく、広域部分における群遅延特性を調整することができる。

【0038】

なお、ロック検出器4がPLL3のロック状態を検出するまでは、つまり、PLL3がロック状態になる前までは、非対称率決定回路201は $a = 1$ を出力し、FIRフィルタ1の等化係数としてあらかじめ設定された初期値(遅延素子11~19に保持されている初期値)が出力されるように制御する。これにより、PLL3のロックイン動作の安定性を維持することができる。

【0039】

このような実施の形態1では、入力信号に対して等化係数に応じたフィルタ処理を行うFIRフィルタ1と、上記FIRフィルタ1の出力を用いて上記入力信号と同期したクロックを抽出するPLL3と、上記FIRフィルタ1の等化性能を検出するジッタ検出器5と、上記ジッタ検出器5の出力値に応じて上記FIRフィルタ1の上記等化係数を更新する係数調整回路2とを備えたことにより、回路内の制御が簡単で、かつ、付加回路を設けることなく入力信号の特性に応じて該入力信号の群遅延の最適化を図ることができ、その結果、再生性能を向上させることができる。

【0040】

また、係数調整回路2は、上記FIRフィルタ1のタップ数が奇数であるとき、該FIRフィルタ1のセンタータップに対して左側に対応する等化係数の初期値を a 倍(a は0以上2以下の実数)に重み付けし、右側に対応する等化係数の初期値を $(2 - a)$ 倍に重み付けし出力するようにしたので、上記FIRフィルタ1のゲイン特性をほとんど変えることなく、群遅延量のみを制御することができる。

【0041】

(実施の形態2)

以下に、本発明の実施の形態2にかかるフィルタ係数調整回路について図1~図3、図6、および図7を用いて説明する。なお、図1~図3については上記実施の形態1で説明したので、ここでは説明を省略する。

【0042】

図6(a)は、図3における非対称率決定回路201の構成を示す図である。

図6(a)に示す非対称率決定回路201は、上記ジッタ検出器5から出力されるジッタ値を取り込むジッタ取り込み部301と、上記係数調整回路2内の制御信号を生成するコントローラ部302と、上記ジッタ取り込み部301に取り込まれたジッタ値の最小値を検出し、そのときの非対称率 a の値を保持する最小値検出部303と、上記コントローラ部302の出力に応じて非対称率 a を更新する非対称率更新部304と、上記最小値検出部303に保持されている非対称値、上記非対称率更新部304にて更新された非対称値、または初期値のいずれかを選択し出力する非対称値出力部305とを備えたものである。

【0043】

上記非対称率更新部304は、図7に示すように、セレクタ401と、比較器402と

、加算器403と、減算器404と、遅延素子405と、イネーブル付遅延素子406～408と、AND回路409とを備えたものである。

【0044】

上記非対称率出力部305は、例えば、図6(c)に示すように、セクタとデータ格納用レジスタによって構成され、各種タイミング信号(イネーブル、学習完了信号、リセット信号)に応じて非対称値(a 、 $2-a$)を出力するものである。つまり、学習期間中は非対称率更新部304から出力される更新値を、学習完了時には最小値検出部303の出力を、リセット信号が入力された時には非対称率更新部304から出力される初期値を選択する。

【0045】

次に、非対称決定回路201による非対称率の決定方法について説明する。

まず、ジッタ値取り込み部301では、コントローラ部302から出力されるイネーブル信号に応じて、ジッタ検出部5から出力されるジッタ値の取り込みを実行する。このとき、コントローラ部302では、ジッタ検出器5から出力されるジッタ値更新タイミング信号をもとにイネーブル信号を生成し、ジッタ値取り込み部301へ出力する。

【0046】

ここで、ジッタ値取り込み部301のタイミングチャートを図6(b)に示す。上記実施の形態1でも述べたように、ジッタ値は予め決められた個数の位相誤差を積算することで生成される。このとき、FIRフィルタ1の等化係数が更新されるとFIRフィルタ1の群遅延特性が変動するので、PLL3はその特性の変化に追従しようとする。そのため、PLL3はロック状態を保っているが、PLL3が定常となるために引き込み動作を行う。したがって、ジッタ検出器5は、PLL3が定常になるまでにばらつきが生じることが考えられる。そこで、コントローラ部302は、等化係数を更新してジッタ値が定常となった後に、ジッタ取り込み部301にジッタが取り込まれるようにイネーブル信号を生成する。つまり、FIRフィルタ1の等化係数が更新された直後(引き込み期間)に生じるPLL3の引き込みによるばらつきジッタは、ジッタ値を取り込むタイミングを遅延させることで、ジッタ値の正確な比較が可能となる。図6(b)では、FIRフィルタ1の等化係数を更新した直後のジッタ値(j_1 、 j_3 、 j_5 、 j_7)が取り込まれないように、すなわち、次のジッタ値が取り込まれるようにジッタ値更新タイミング信号をもとにイネーブル信号を生成している。なお、図6(b)に示すタイミングチャートでは、引き込みの間隔が1であるが、2以上の間隔であっても同様の効果が得られる。つまり、等化係数系列を更新した場合、ある程度の時間が経過した後にジッタ値を算出した方が、より正確なジッタ値を得ることができる。

【0047】

コントローラ部302では、外部入力である学習設定用制御信号の入力により、非対称値の上限、下限、更新ステップを、非対称率更新部304へ出力する。また、動作設定用制御信号の入力により、初期化信号を非対称率更新部304へ、リセット信号を最小値検出部303及び非対称率出力部305へ出力する。なお、非対称率更新部304から探索終了信号が出力された場合は、コントローラ部302から最小値検出部303及び非対称率出力部305に学習完了信号が出力される。

【0048】

非対称率更新部304において、セクタ401では、コントローラ部302から出力される初期化信号がHIの場合、コントローラ部302から出力される非対称値下限が選択する。そして、コントローラ部302がジッタ取り込みのタイミングで出力するイネーブル信号に応じて、イネーブル付遅延素子406に上記セクタ401の出力(非対称値下限)が取り込まれる。従って、イネーブル付遅延素子406には、初期値として非対称値下限が入力され、ジッタ値の取り込みが行われるごと(イネーブル信号がHIとなるタイミング)に等化係数を更新ステップずつ増加(更新)していく。この値を用いて算出される更新値がイネーブル付遅延素子407、408へ取り込まれる。なお、比較器402では、上記イネーブル付遅延素子406の出力と上記コントローラ部302から出力され

る非対称値上限とを比較し、該比較の結果、イネーブル付遅延素子 406 の出力が非対称値上限以上のときは、非対称値の探索が完了したことを示す探索終了信号を出力する。

【0049】

最小値検出部 303 では、コントローラ部 302 が出力するイネーブルのタイミングでジッタ取り込み部 301 に取り込まれるジッタ値の中から最小値を検出し、その値、及びそのときの非対称率 a 、 $(2-a)$ の値を保持する。また、コントロール部 302 からリセット信号が出力された場合には、保持されている最小値とそのときの非対称値がリセットされる。

【0050】

非対称値出力部 305 では、コントローラ部 302 より出力されるリセット信号が HI の場合は、 $a=1$ として非対称率を出力し、コントローラ部より出力される学習完了信号が HI の場合には、最小値検出部 303 が出力するジッタ値が最小となる非対称率を出力し、それ以外の場合には非対称率更新部 304 が出力する非対称率の更新値を出力する。

【0051】

このような実施の形態 2 では、非対称率決定回路 201 は、ジッタ検出器 5 から出力されるジッタ値を取り込むジッタ取り込み部 301 と、係数調整回路 2 内の制御信号を生成するコントローラ部 302 と、上記ジッタ取り込み部 301 に取り込まれたジッタ値の最小値を検出し、そのときの非対称率 a の値を保持する最小値検出部 303 と、上記コントローラ部 302 の出力に応じて非対称率 a を更新する非対称率更新部 304 と、上記最小値検出部 303 に保持されている非対称値、上記非対称率更新部 304 にて更新された非対称値、または初期値のいずれかを選択し出力する非対称値出力部 305 とを備えたことにより、あらかじめ設定された非対称率設定範囲からジッタ値が最小となる非対称率を決定することができ、再生性能の向上を図ることが可能である。

【0052】

なお、本実施の形態において、上記係数調整回路 2 は、上記コントローラ部 302 から最小値検出部 303、非対称率更新部 304、及び非対称率出力部 305 へ出力されるリセット信号が HI から LOW に切り変わるタイミングで等化係数の学習動作を行っているが、該リセット信号を再生信号の特性に応じてコントローラ部 302 に入力される動作設定用制御信号を用いて生成するようにすれば、より効率よく、群遅延調整を行うことが可能である。

【0053】

例えば、記録型 DVD などのようにセクタ単位で区切られて記録媒体にデータが記録されたメディアからデータを再生する場合、セクタ毎にメディアに記録されているデータの再生特性が異なる場合がある。すなわち、FIR フィルタ 1 の等化係数の非対称率の最適値が異なる場合が生じる。従って、セクタに同期したゲート信号を制御信号（動作設定用）として、コントローラ部 302 に入力し、これに基づいてリセット信号を生成することで、各セクタに対して群遅延の最適値を求めることが可能である。さらに、再生信号に欠陥等が生じた場合には、欠陥検出信号を用いて、リセット信号を生成させ、再学習を行うようにすれば、群遅延の補正の信頼度が向上する。

【0054】

（実施の形態 3）

以下に、本発明の実施の形態 3 にかかるフィルタ係数調整回路について図 1～図 3、および図 8 を用いて説明する。なお、図 1～図 3 については上記実施の形態 1 にて説明したので、ここでは説明を省略する。

【0055】

図 8 は、図 3 における乗算部 202 の構成を示す図である。

図 8 に示す乗算部 202 は、マルチプレクサ 501、502 と、非対称率決定回路 201 から出力されるタイミング信号をうけてセレクト信号・イネーブル信号を出力する選択信号生成部 503 と、乗算器 504、505 と、デマルチプレクサ 506、507 と、遅延素子 511～514、516～519 と、イネーブル付遅延素子 521～524、526～

529とを備え、非対称率決定回路201から出力されるタイミング信号に基づいて非対称率(a , $2-a$)の更新タイミングを検知し、入力データをタイミングシェアリングして使用することで新たな等化係数系列を生成する。なお、上記イネーブル付遅延素子521~524の出力は、図2に示すタップ数9のFIRフィルタの遅延素子21~24の等化係数に対応する。また、上記イネーブル付遅延素子526~529の出力は、図2に示すタップ数9のFIRフィルタの遅延素子26~29の等化係数に対応する。図2に示すFIRフィルタの遅延素子25の等化係数は、遅延素子15に保持されている、予め決められた等化係数の初期値に対応する。

【0056】

次に、乗算部202の動作について説明する。

非対称率が、FIRフィルタ1のセンタータップに対して左側に位置する遅延素子21~24と右側に位置する遅延素子29~26で一律等しくなるように設定する場合、選択信号生成部503では、マルチプレクサ・デマルチプレクサの出力制御を行い、遅延素子511~514へ等化係数の初期値11~14を a 倍したものを格納し、遅延素子516~519に対しては、等化係数の初期値16~19を $(2-a)$ 倍したものを格納する。また、選択信号生成部503は、遅延素子511~514および遅延素子516~519への出力がそろったタイミングで、イネーブル付遅延素子521~524および526~529へイネーブル信号を出力し、一括して等化係数の更新を行う。

【0057】

なお、FIRフィルタ1の遅延素子25に対応する等化係数は、初期値のままである。この動作を繰り返し行い、ジッタ値が最小となる非対称率 a を検出することで、群遅延補正を行なうことが可能である。

【0058】

また、FIRフィルタ1の遅延素子25に対して等しい位置にある遅延素子をペアとし、各々のペアで独立に非対称率を設定するようにしても良い。例えば、まずFIRフィルタ1の遅延素子21と遅延素子29のペアに対する非対称率の最適値 a_1 を検出し、次に遅延素子22と遅延素子28のペアに対する非対称率の最適値 a_2 を検出し、以下同様の動作を全てのペアに対して繰り返す。これにより、更に高精度な群遅延調整を行うことが可能である。

【0059】

このような実施の形態3では、乗算部202は、マルチプレクサ501, 502と、非対称率決定回路201から出力されるタイミング信号をうけてセレクト信号・イネーブル信号を出力する選択信号生成部503と、乗算器504, 505と、デマルチプレクサ506, 507と、遅延素子511~514, 516~519と、イネーブル付遅延素子521~524, 526~529とを備え、非対称率決定回路201から出力されるタイミング信号に基づいて非対称率(a , $2-a$)の更新タイミングを検知し、入力データをタイムシェアリングして使用することで新たな等化係数系列を生成するようにしたので、FIRフィルタ1のフィルタ係数をセンタータップを中心として左右対称に設定することができ、その結果、FIRフィルタ1のゲイン特性をほとんど変化させることなく、フィルタ係数を更新させることができる。

【0060】

なお、上記実施の形態1~3では、FIRフィルタのタップ数($N=9$)が奇数の場合について説明したが、このタップ数が偶数の場合にも（これは上記実施の形態においてセンタータップがないものと考えた場合に相当する）、上記各実施の形態と同様の効果を得ることが可能である。また、FIRフィルタ1のタップ数が偶数である場合は、係数調整回路2は、上記FIRフィルタ1の遅延線の中央より左側の上記等化係数の初期値を a 倍(a は0以上2以下の実数)、右側の上記等化係数の初期値を $(2-a)$ 倍に重み付けし出力するようにする。

【0061】

また、上記実施の形態1~3では、等化性能検出手段として、FIRフィルタ1の出力

とPLL3が抽出した同期クロックとの間のジッタを検出するジッタ検出器を用いて説明をしたが、等化誤差検出手段などを用いて同様の機能を実現することができることはいうまでもない。

【産業上の利用可能性】

【0062】

以上説明したように、本発明にかかる再生信号処理装置は、ジッタ値が最小となるようにFIRフィルタの等化係数を調整することのできる遅延補正回路として有用である。

【図面の簡単な説明】

【0063】

【図1(a)】本発明のフィルタ係数調整回路の構成を示す図である。

【図1(b)】ジッタ検出器のタイミングチャートを示す図である。

【図2】FIRフィルタの構成を示す図である。

【図3】本発明の係数調整回路の構成を示す図である。

【図4】aの値を変化させたときのFIRフィルタのゲイン特性を示す図である。

【図5】aの値を変化させたときのFIRフィルタの群遅延特性を示す図である。

【図6(a)】本発明の非対称率決定回路の構成を示す図である。

【図6(b)】本発明の非対称率決定回路の動作を説明するための図である。

【図6(c)】本発明の非対称率決定回路の非対称率出力部の構成を示す図である。

【図7】本発明の非対称率更新部の構成を示す図である。

【図8】本発明の乗算部の構成を示す図である。

【図9】従来の記録情報再生装置の構成例1を示す図である。

【図10】従来の記録情報再生装置の構成例2を示す図である。

【符号の説明】

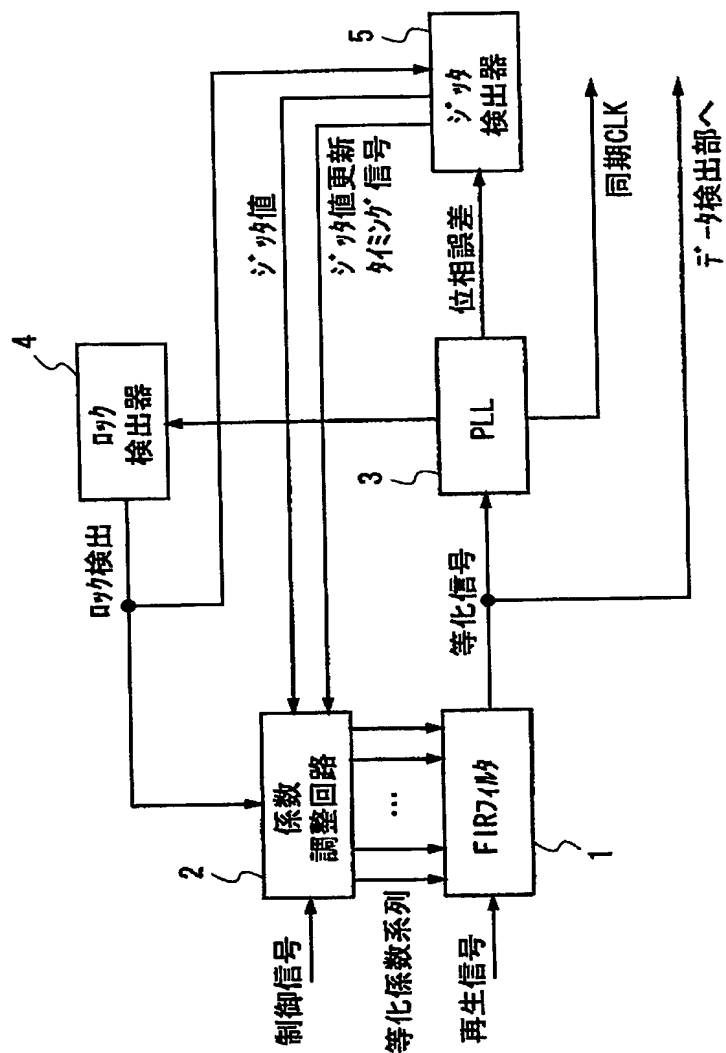
【0064】

- 1 FIRフィルタ
- 2 係数調整回路
- 3、118 PLL
- 4 ロック検出器
- 5 ジッタ検出器
- 11、12、13、14、15、16、17、18、19 遅延素子
- 21、22、23、24、25、26、27、28、29 遅延素子
- 31、32、33、34、35、36、37、38、39、504、505 乗算器
- 40、403 加算器
- 101、102、103、104、105、106、107、108、109 等化
係数
- 111 記録媒体
- 112 AGC回路
- 113a アナログ等化フィルタ
- 113b アナログローパスフィルタ
- 113c デジタル等化フィルタ
- 114 オフセット調整回路
- 115 A/D変換器
- 116 適応型FIRフィルタ
- 117 ビタビ復号器
- 201 非対称率決定回路
- 301 ジッタ値取り込み部
- 302 コントローラ部
- 303 最小値検出部
- 304 非対称率更新部
- 305 非対称率出力部

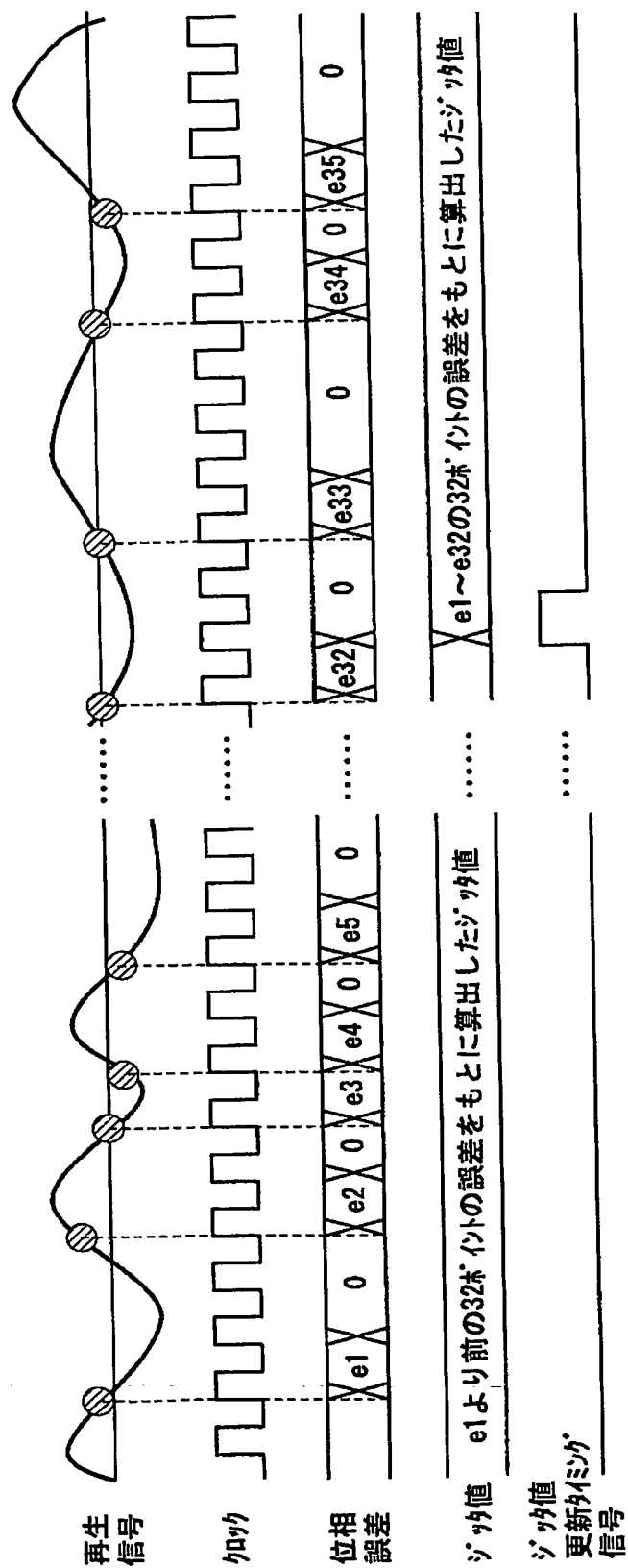
401 セレクタ
402 比較器
404 減算器
405 遅延素子
406、407、408 イネーブル付遅延素子
409 AND回路
501、502 マルチプレクサ
503 選択信号生成回路
506、507 デマルチプレクサ
511、512、513、514、515、516、517、518、519 遅延
素子
521、522、523、524、525 イネーブル付遅延素子
526、527、528、529 イネーブル付遅延素子

【書類名】 図面

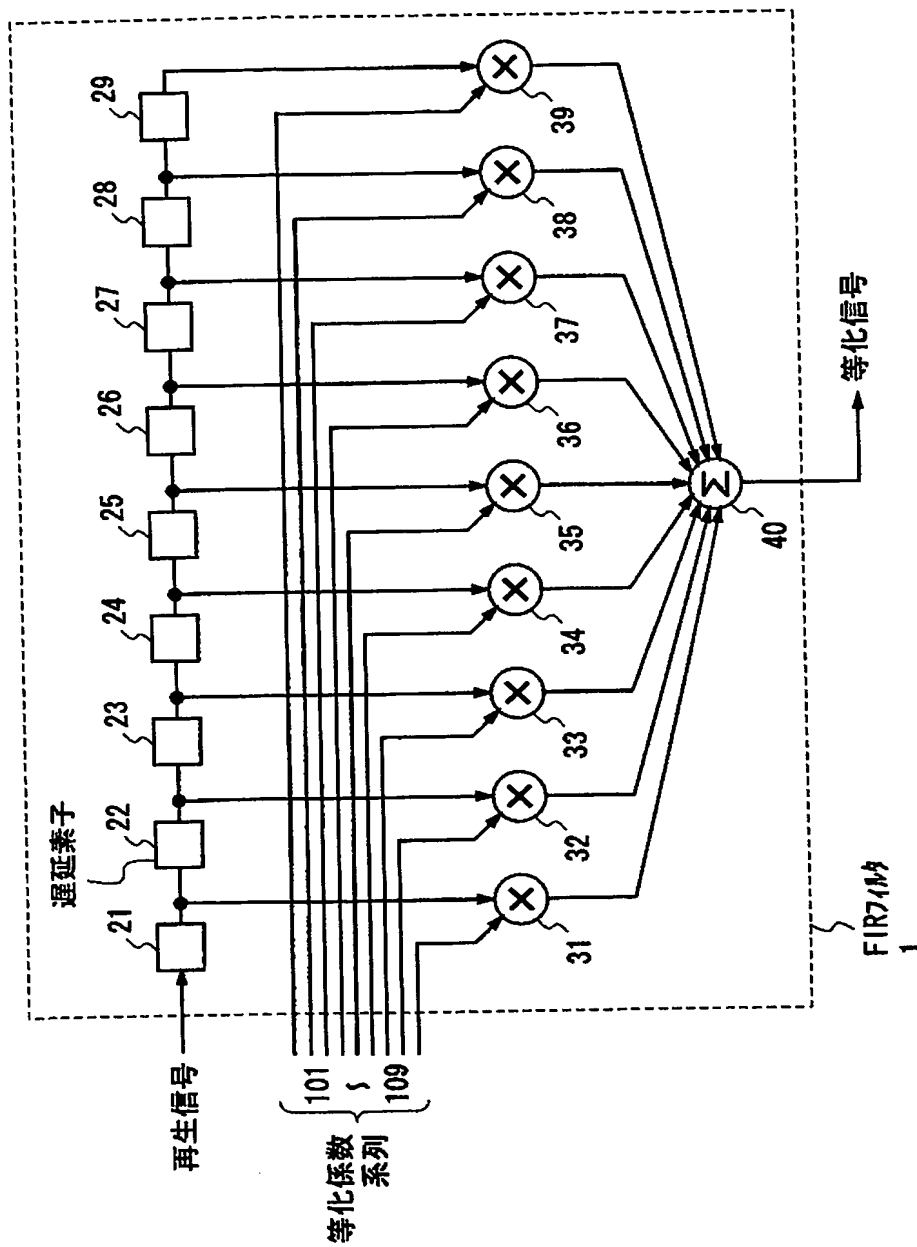
【図 1 (a)】



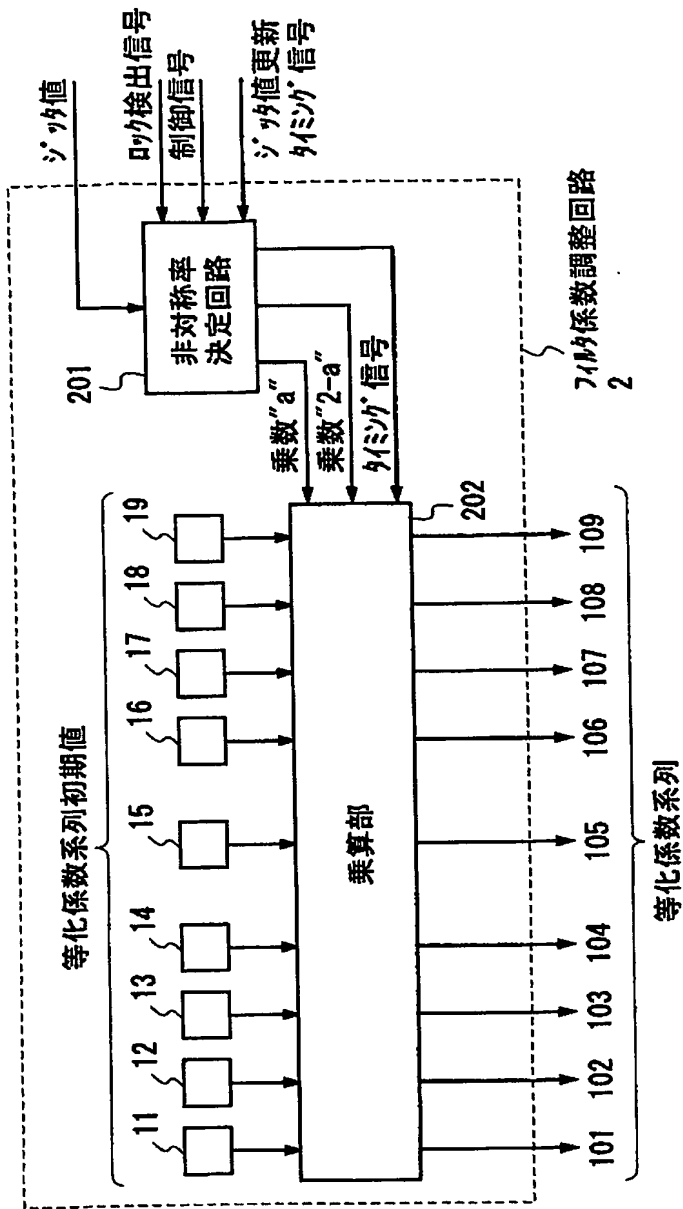
【図1(b)】



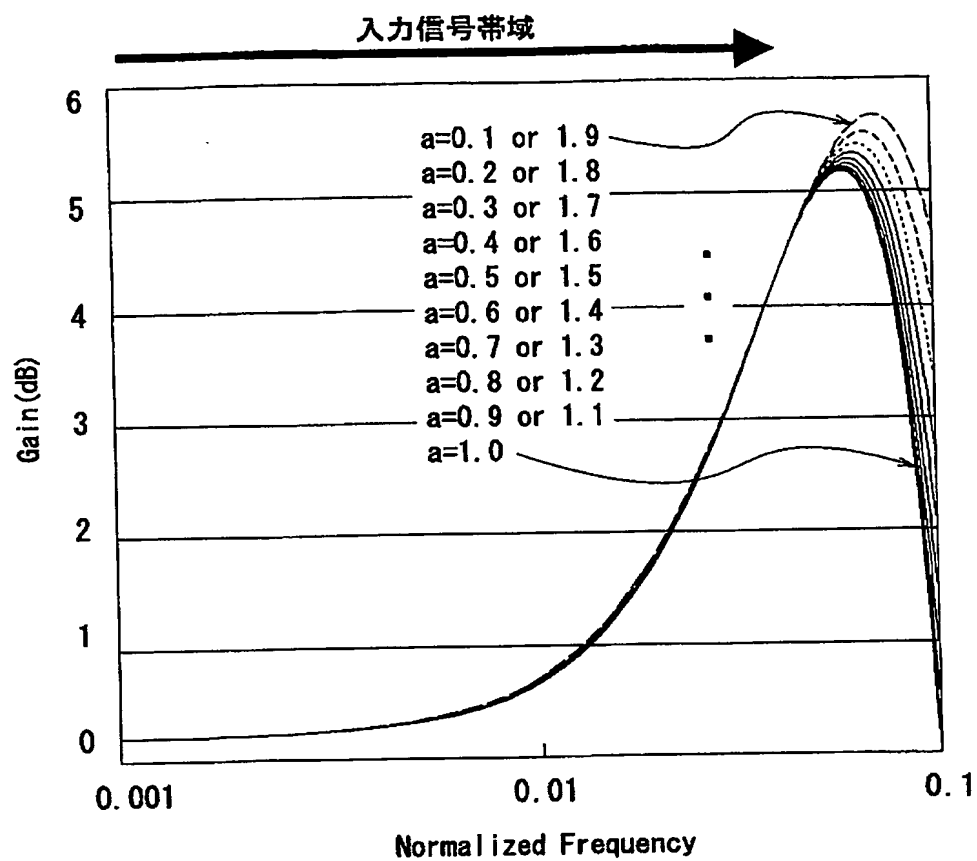
【図 2】



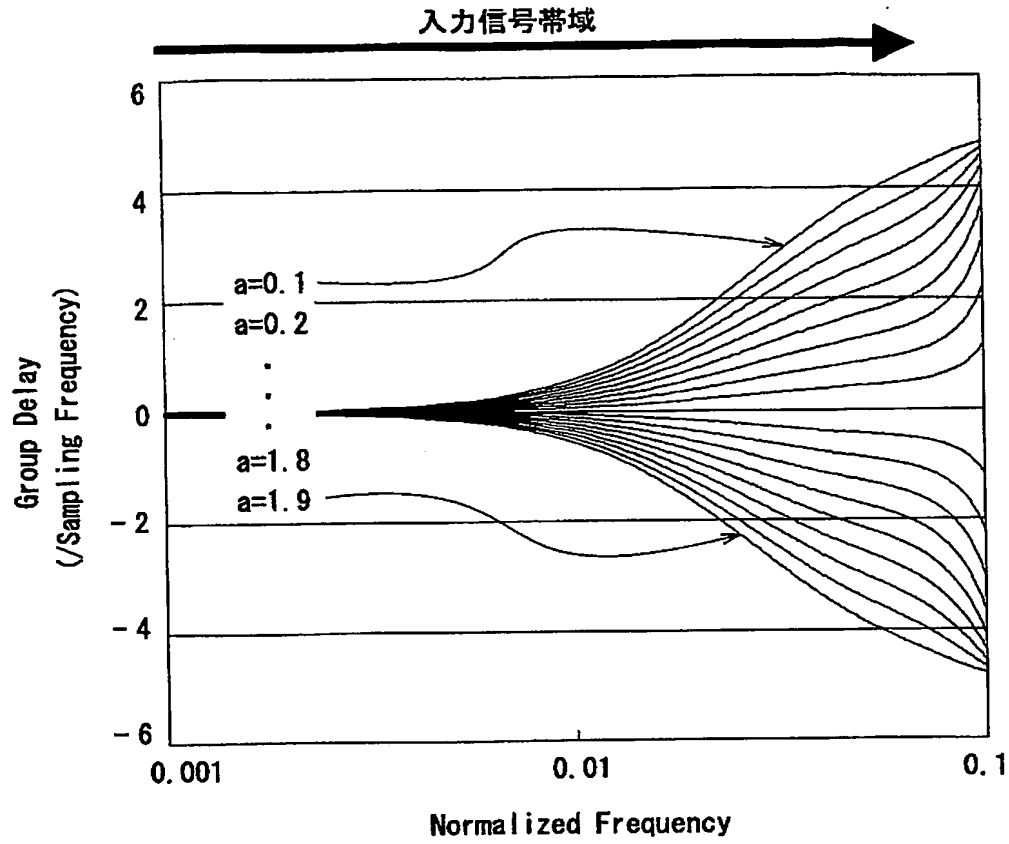
【図 3】



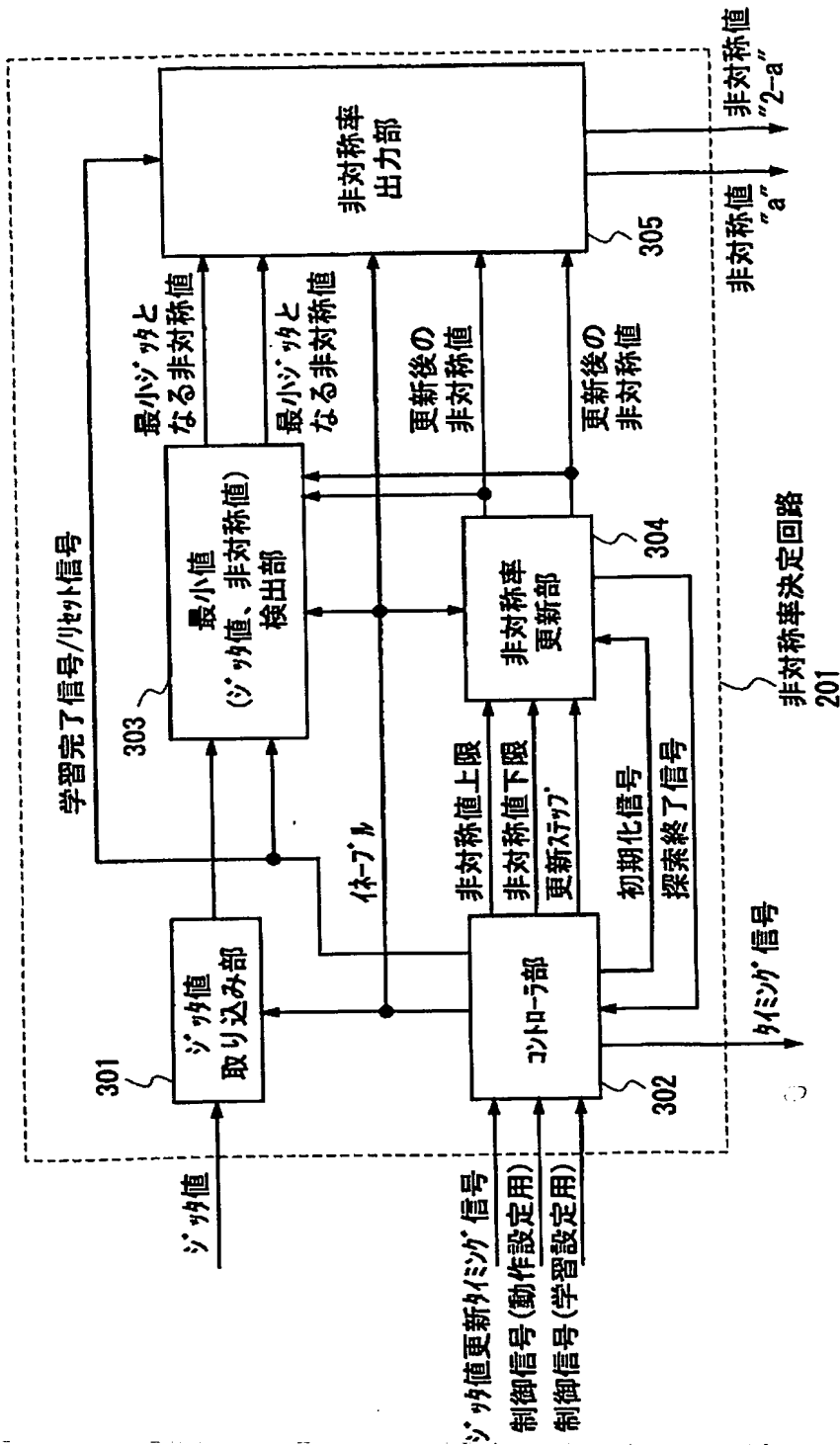
【図 4】



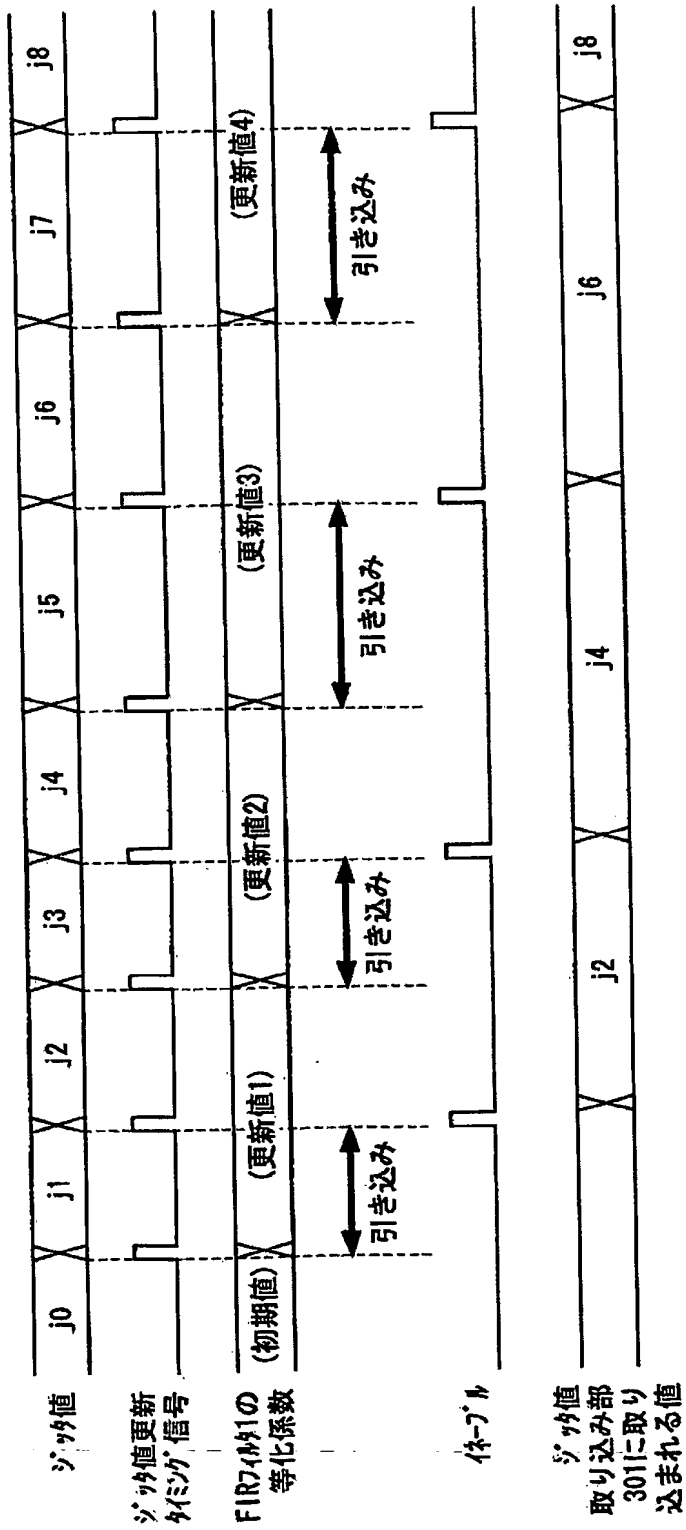
【図 5】



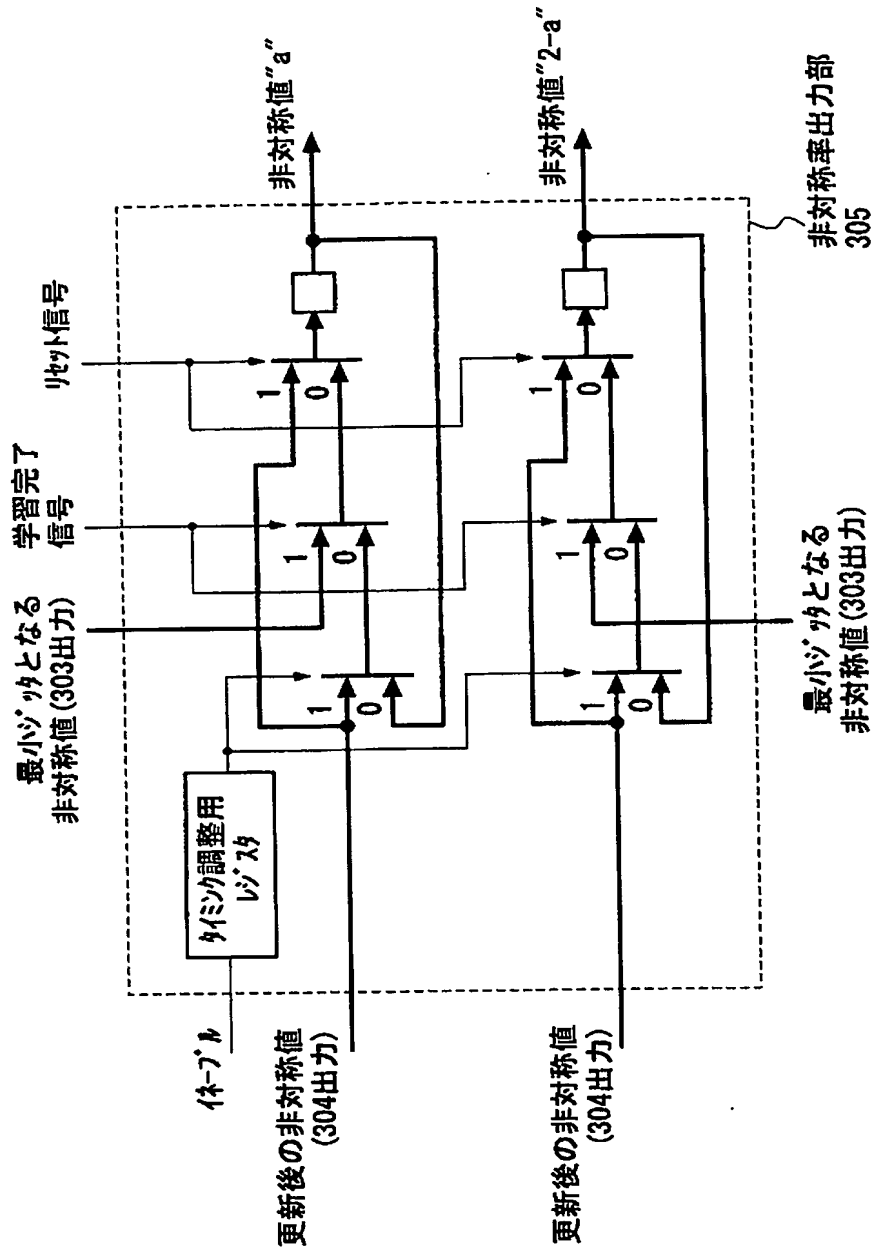
【図 6 (a)】



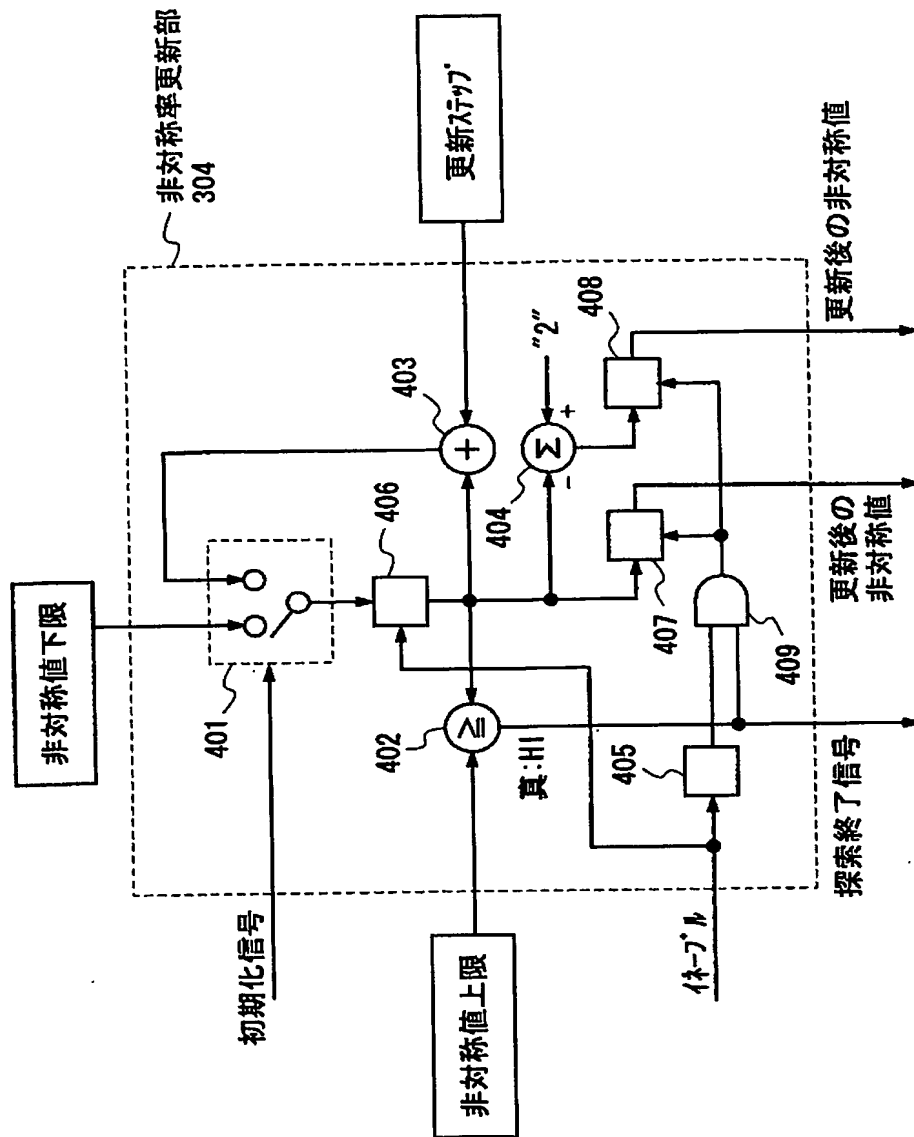
【図 6 (b)】



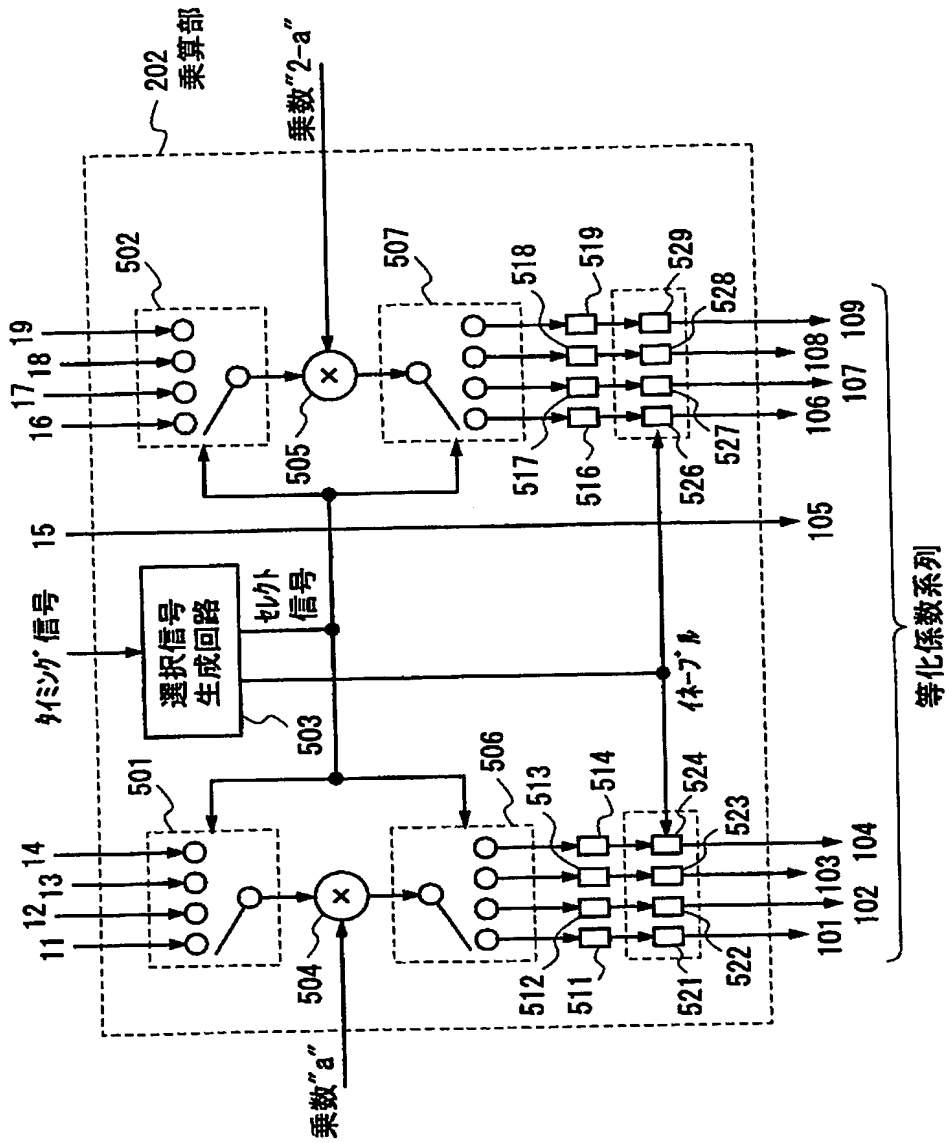
【図 6 (c)】



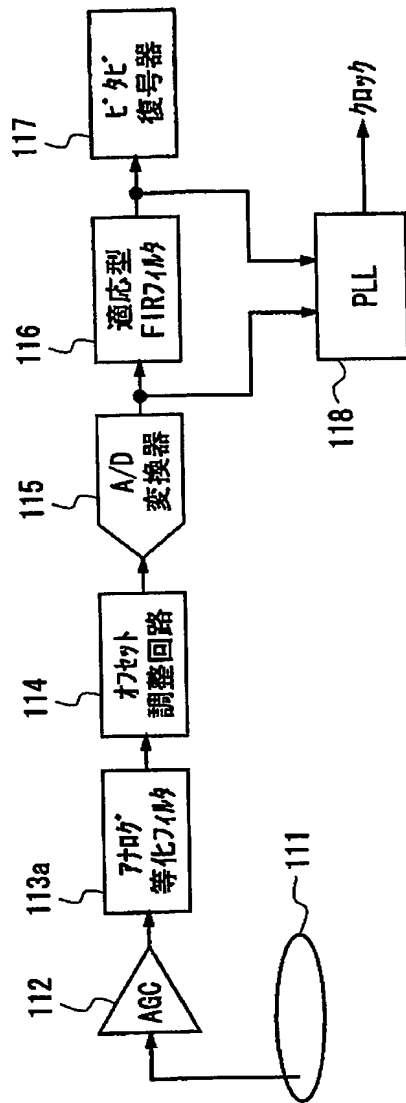
【図 7】



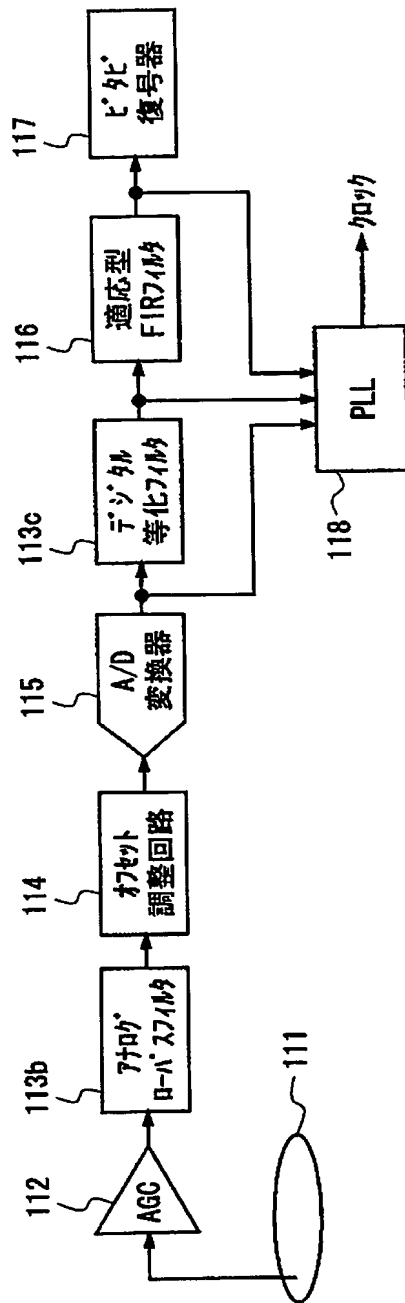
【図 8】



【図 9】



【図10】



【書類名】 要約書**【要約】**

【課題】 記録データを再生する再生信号処理装置内において、再生信号の群遅延歪みの補正を、FIRフィルタのような線形演算を行なう波形等化器で行う場合、回路構成や制御方法の簡易化を実現可能なフィルタ係数調整回路を提供する。

【解決手段】 再生信号の等化を行うFIRフィルタ1のセンタータップより左側の等化係数の初期値を a 倍に、右側の等化係数の初期値を $(2-a)$ 倍に重み付けすることにより等化係数の調整を行う係数調整回路2を備え、再生信号の等化性能を検出する等化性能検出手段の（例えば、再生信号とクロックとのジッタを検出するジッタ検出器5）出力が最適となるように重み付け a の値を決定する。

【選択図】 図1(a)

特願 2 0 0 3 - 3 8 1 8 4 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.